

**ARM PrimeCell™**  
DC-DC コンバータインタフェース (PL160)  
テクニカルリファレンスマニュアル

**ARM**

# ARM PrimeCell™ DC-DC コンバータインタフェース (PL160) テクニカルリファレンスマニュアル

© Copyright ARM Limited 1999. All rights reserved.

## リリース情報

### 改訂履歴

日付	発行	改訂
1998年11月	A	初版
1999年5月	B	第二版
1999年5月	C	第三版
1999年6月	D	第四版

## 著作権

ARM、ARM Powered ロゴ、Thumb および StrongARM は ARM Limited の登録商標です。

ARM ロゴ、PrimeCell、AMBA、Angel、ARMulator、EmbeddedICE、ModelGen、Multi-ICE、ARM7TDMI、ARM7TDMI-S、ARM9TDMI、ならびに STRONG は ARM Limited の商標です。

本書に記載されているその他全ての製品またはサービスは各社の商標です。

本書に記載されている情報および製品の全部または一部について、著作権保有者の文書により事前の許可を得ない限り、転用あるいは複製することはできません。

本書に記載されている製品は、今後も継続的に開発・改良の対象となります。本書に含まれる製品およびその利用方法についての情報は、ARM Limited が利用者の利益のためだけに提供するものです。したがって当社では、製品の市販性または利用の適切性を含め、暗示的、明示的に関係なく、一切の責任を負いません。

本書は、本製品の利用者をサポートすることだけを目的としています。本書に記載されている情報の使用、情報の誤りまたは省略、あるいは本製品の誤使用によって発生したいかなる損失または損害についても、ARM Limited は一切責任を負いません。

## 守秘義務

本書は閲覧することができます。したがって配布に関する規定はありません。

## 本書作成時点における製品の状況

本書に記載されている情報は最終情報（完成品に関する情報）です。

## ARM ホームページ

<http://www.arm.com>

## 謝辞

ARM アーキテクチャ普及のために 2000 年に設立されました「日本語マニュアル委員会」は、沖電気工業株式会社様、セイコーエプソン株式会社様、松下電器産業株式会社様、ローム株式会社様にご参加いただきました。その成果として、56 冊、延べ 10,000 ページの ARM マニュアルの翻訳が完了致しました。これまでのご協力に感謝致します。

アーム株式会社

# 序章

本章では、ARM PrimeCell DC-DC コンバータインタフェース (PL160) と、その参考資料を紹介します。本章は以下のセクションから構成されています。

- 本書について：序章 -iv
- 参考資料：序章 -vii
- ご意見・ご質問：序章 -viii

## 本書について

本書は、ARM PrimeCell DC-DC コンバータインタフェース (PL160) のテクニカルリファレンスマニュアルです。

## 対象読者

本書は、ARM 製品の使用経験に関係なく、経験豊富な全てのハードウェアエンジニアを対象にしています。

## 構成

本書は以下の章から構成されています。

- 第 1 章** はじめに  
PrimeCell DC-DC コンバータインタフェースおよびその特徴を紹介します。
- 第 2 章** 機能概要  
PrimeCell DC-DC コンバータインタフェースの主要機能ブロックについて説明します。
- 第 3 章** プログラマモデル  
PrimeCell DC-DC コンバータインタフェースのレジスタおよびプログラミング情報について説明します。
- 第 4 章** テストプログラマモデル  
機能検証および製造テスト用のDC-DCコンバータインタフェース内のロジックについて説明します。
- 付録 A** ARM PrimeCell DC-DC コンバータインタフェース (PL160) シグナルの説明  
PrimeCell DC-DC コンバータインタフェースシグナルについて説明します。

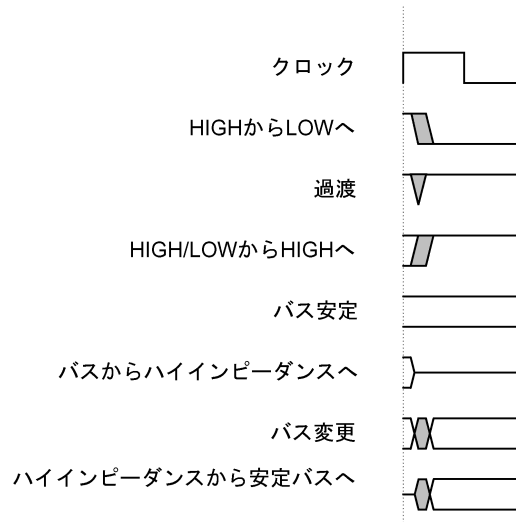
## 表記規則

本書では以下の表記規則を用いています。

<b>bold</b>	文中の ARM プロセッサシグナルの名前、メニュー名等のインタフェース要素を太字で記載しています。また、必要に応じて記述リスト内の用語も太字で記載しています。
<i>italic</i>	重要用語、相互参照、引用箇所を斜体で記載しています。
typewriter	コマンド、ファイル名、ソースコード等、キーボードから入力可能なテキストを示しています。
<u>typewriter</u>	コマンドまたはオプションに使用できる略語を示しています。コマンド名またはオプション名を全て入力する代わりに、下線部分の文字だけを入力してこれらを指定することができます。
<i>typewriter italic</i>	引数が特定の値に置き換えられるコマンドまたは関数への引数を示しています。
<b>typewriter bold</b>	サンプルコード以外で使用する言語キーワードを示しています。

## タイミング図に関する規則

本書にはいくつかのタイミング図が含まれています。以下のキーは、これらの図の中で使用されているコンポーネントを示しています。これと異なる方法で使用する場合は、都度その旨を明確に記載しています。したがって特に記載されていない限り、他意はありません。



### タイミング図の規則に適用されるキー

影付きのバス領域およびシグナル領域は定義されていません。そのため、バスまたはシグナルは、影付き領域内でどんな値でも取り得ます。実レベルは重要ではなく、通常動作には影響を及ぼしません。

## 参考資料

このセクションでは、ARM Limitedから発行されている本製品の関連資料を紹介します。

### ARM の出版物

*AMBA* 仕様書 (Rev 2.0) (ARM IHI 0011)

*ARM PrimeCell DC-DC* コンバータインタフェース (PL160) 設計マニュアル  
(PL160 DDES 0000)

*ARM PrimeCell DC-DC* コンバータインタフェース (PL160) インテグレーションマニュアル  
(PL160 INTM 0000)

## ご意見・ご質問

ARM Limited では、ARM PrimeCell DC-DC コンバータインタフェース (PL160) および本書に関するご意見等をお待ちしています。

### 本書に関するご意見

本書に関してのご意見がございましたら、電子メールに以下の情報をご記載の上、[errata@arm.com](mailto:errata@arm.com) までお寄せ下さい。

- 資料名
- 資料番号
- ご意見のあるページ番号
- ご意見の詳しい内容

補足または向上すべき点についてのご提案もお待ちしています。

### ARM PrimeCell DC-DC コンバータインタフェース (PL160) に関するご意見

本製品に関してのご意見またはご質問等がございましたら、以下の情報をご用意の上、製品購入元にご連絡下さい。

- 製品名
- ご意見・ご質問の詳しい内容



# 目次

## ARM PrimeCell DC-DC コンバータインタフェース (PL160) テクニカルリファレンスマニュアル

	<b>序章</b>	
	本書について .....	iv
	参考資料 .....	vii
	ご意見・ご質問 .....	viii
<b>第 1 章</b>	<b>はじめに</b>	
	1.1 ARM PrimeCell DC-DC コンバータインタフェース (PL160) について ....	1-2
	1.2 AMBA 互換性 .....	1-4
<b>第 2 章</b>	<b>機能概要</b>	
	2.1 ARM PrimeCell DC-DC コンバータインタフェース (PL160) の概要 .....	2-2
	2.2 PrimeCell DC-DC コンバータインタフェースの機能 .....	2-3
	2.3 PrimeCell DC-DC コンバータインタフェースの動作 .....	2-6
<b>第 3 章</b>	<b>プログラマモデル</b>	
	3.1 プログラマモデルについて .....	3-2
	3.2 PrimeCell DC-DC コンバータインタフェースレジスタ一覧 .....	3-3
	3.3 レジスタの説明 .....	3-4
<b>第 4 章</b>	<b>テストプログラマモデル</b>	
	4.1 PrimeCell DC-DC コンバータインタフェーステストハーネスの概要 .....	4-2
	4.2 スキャンテスト .....	4-3
	4.3 テストレジスタ .....	4-4

## 付録 A

### ARM PrimeCell DC-DC コンバータインタフェース (PL160) シグナルの説明

A.1	AMBA APB シグナル .....	A-2
A.2	オンチップシグナル .....	A-3
A.3	パッドへのシグナル .....	A-4

### Index

# 第 1 章 はじめに

本章では、ARM PrimeCell DC-DC コンバータインタフェース (PL160) について簡単に説明します。本章は以下のセクションから構成されています。

- *ARM PrimeCell DC-DC* コンバータインタフェース (PL160) について : P. 1-2
- *AMBA* 互換性 : P. 1-4

## 1.1 ARM PrimeCell DC-DC コンバータインタフェース (PL160) について

PrimeCell DC-DC コンバータインタフェースは、ARM が開発・テストし、使用ライセンスを供与する、アドバンスドマイクロコントローラバスアーキテクチャ (AMBA) 準拠のシステムオンチップペリフェラルです。

PrimeCell DC-DC コンバータインタフェースは AMBA スレーブモジュールであり、アドバンスドペリフェラルバス (APB) に接続します。PrimeCell DC-DC コンバータインタフェースを使用して、コンフィギュレーション可能なデュアル出力、パルス幅変調 (PWM) パワーコンバータを実装することができます。図 1-1 は、PrimeCell DC-DC コンバータインタフェースを使用した、PWM コントローラの典型的な相互接続構成を示しています。

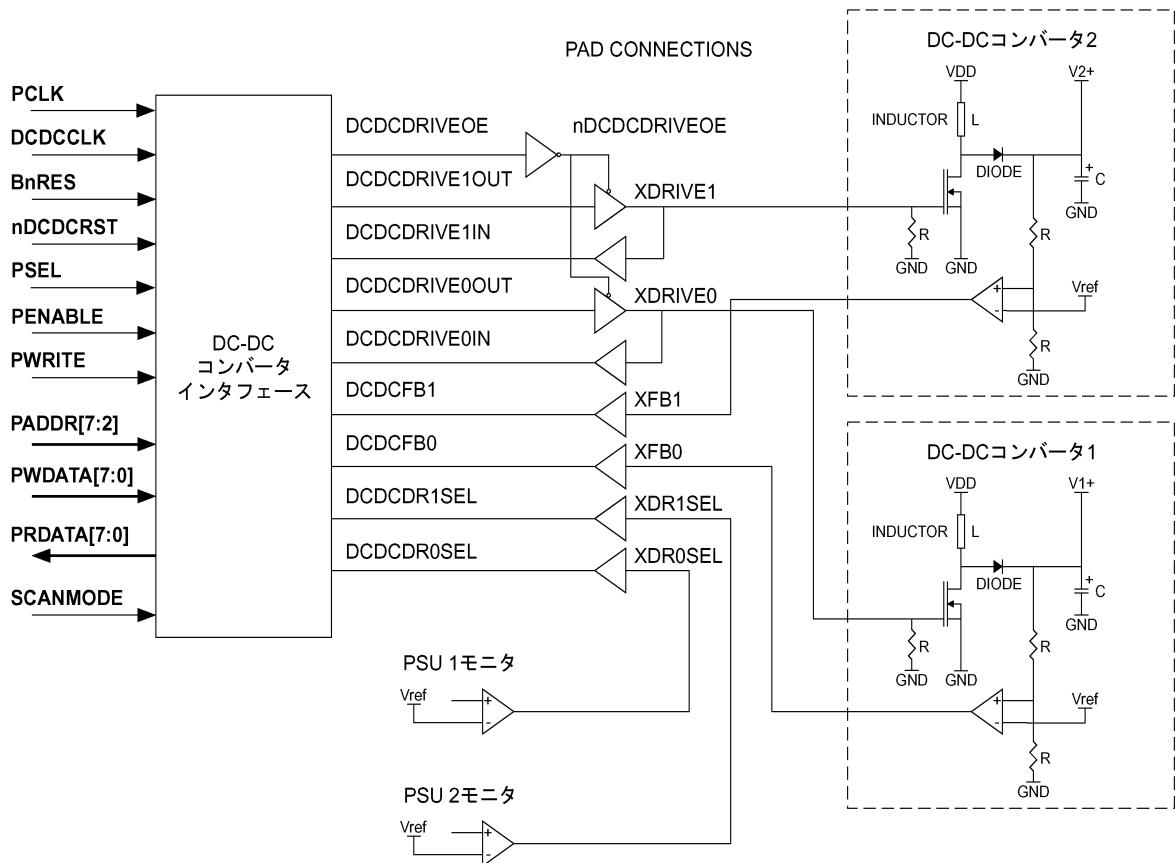


図 1-1 PrimeCell DC-DC コンバータインタフェース接続図

### 1.1.1 PrimeCell DC-DC コンバータインタフェースの特徴

PrimeCell DC-DC コンバータインタフェースには以下のような特徴があります。

- システムオンチップ (SoC) 実装への統合を容易にする *AMBA* 仕様 (Rev 2.0 以上) への準拠。
- 閉ループフィードバックに依存しないデュアル PWM ドライブ出力。
- 4 つの出力周波数 (それぞれが入力クロックを一定の値で除算したもの) の 1 つのコンフィギュレーションをソフトウェアでプログラム可能。選択可能な除算因子は 16、32、128 あるいは 304 です。
- $0 \sim 15/16$  のデューティサイクルのコンフィギュレーションを  $1/16$  の間隔でソフトウェアでプログラム可能。
- 極性選択入力を介したパワーオンリセット中の出力極性 (正または負の電圧生成) のハードウェア構成。
- 外部ピンを介し、各 PWM ドライブ出力をプログラムされた周波数 / デューティサイクルの組み合わせに動的にスイッチ可能。

## 1.2 AMBA 互換性

PrimeCell DC-DC コンバータインタフェースは *AMBA 仕様 (Rev 2.0 以上)* に準拠しています。*AMBA 仕様改訂 D* とは基本的に以下の点で異なります。

- イネーブルシグナル **PENABLE** と比較されるストロブシグナル **PSTB** のタイミング
- 読み出しデータがサンプリングされるタイミング
- 単方向読み出しデータバス **PRDATA** と単方向書き込みバス **PWDATA** の分離(双方向データバス **PD** の代わり)
- アドレスバスの名前を **PA** から **PADDR** に変更

本書では、有意性が小さなバイトからメモリ内の昇順アドレスにストアされるリトルエンディアンメモリ構成の使用を前提としているため、下位バイトはデータバスの下位ビットに転送されます。ビッグエンディアンシステムのオプションについては、*ARM PrimeCell DC-DC コンバータインタフェース (PL160) インテグレーションマニュアル* を参照して下さい。

## 第 2 章 機能概要

本章では、ARM PrimeCell DC-DC コンバータインタフェース (PL160) の主要機能ブロックについて説明します。本章は以下のセクションから構成されています。

- *ARM PrimeCell DC-DC コンバータインタフェース (PL160) の概要* : P. 2-2
- *PrimeCell DC-DC コンバータインタフェースの機能* : P. 2-3
- *PrimeCell DC-DC コンバータインタフェースの動作* : P. 2-6

## 2.1 ARM PrimeCell DC-DC コンバータインタフェース (PL160) の概要

PrimeCell DC-DC コンバータインタフェースは、デュアル出力パルス幅変調 (PWM) コントローラです。このインタフェースは AMBA APB インタフェース経由で制御データを書き込むことによってソフトウェア制御下で構成することが可能であり、各出力の周波数およびデューティサイクルを構成することができます。

2 つの出力、**DCDCDRIVE0OUT** および **DCDCDRIVE1OUT** は、 $0 \sim 15/16$  の間で  $1/16$  ずつインクリメントするデューティサイクルを使用して、4 つの固定周波数のうちの 1 つにスイッチするように構成することができます。

内部オシレータが存在しないため、このモジュールではクロックシグナルを **DCDCCLK** 入力に適用する必要があります。**DCDCCLK** は、固定因子 16、32、128 あるいは 304 で、内部で除算されます。例えば、**DCDCCLK** が 28.8MHz の公称周波数でドライブされた場合、選択可能なドライブ出力周波数は、それぞれ 1.8MHz、900kHz、225kHz、94.7kHz となります。

このモジュールを使用して、外部電力 MOSFET を適切な電力変換回路でドライブする出力を用いることにより、DC-DC コンバータを実装することができます。

**DCDCDRIVE0OUT** および **DCDCDRIVE1OUT** パルスは、電源モニタフィードバックピン **DCDCFB0** および **DCDCFB1** によってイネーブルされます。

パワーオンリセットの間、**DCDCDRIVE0OUT** および **DCDCDRIVE1OUT** 出力は、強制的に高インピーダンス状態に設定されます。この状態にある間、これらの出力は弱いプルアップレジスタまたはプルダウンレジスタによってドライブされ、これらの値は各ケースにおける以後のドライブ極性を決定するために記録されます。**LOW** の値が記録されると正のパルスが、**HIGH** の値が記録されると負のパルスが各ドライブ出力シグナルで生成されます。

各ドライブ出力は、プログラムされた周波数 / デューティサイクルの組み合わせの間でスイッチさせることもできます。この場合は、外部シグナル **DCDCR0SEL** および **DCDCDR1SEL** が、各ドライブ出力に 2 つの周波数 / デューティサイクルコンフィギュレーションのうちの 1 つを選択します。



## 2.2 PrimeCell DC-DC コンバータインタフェースの機能

図 2-1 は、PrimeCell DC-DC コンバータインタフェースのブロック図を示しています。

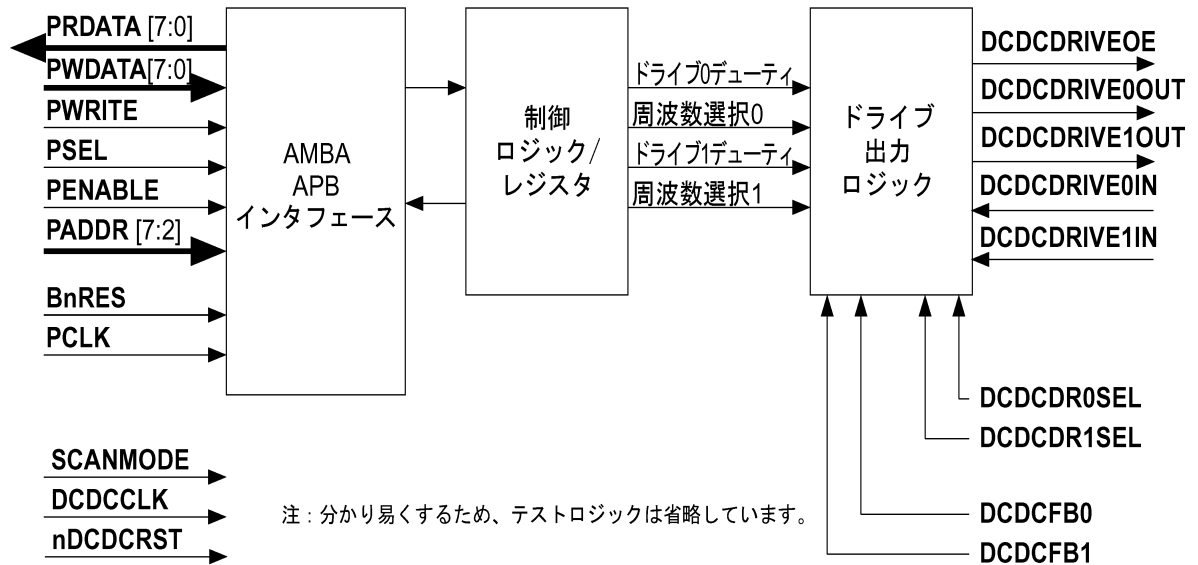


図 2-1 PrimeCell DC-DC コンバータインタフェースのブロック図

以下のセクションでは、PrimeCell DC-DC コンバータインタフェースの機能について説明します。

- AMBA APB インタフェース
- 制御ロジック：P. 2-4
- ドライブ出力ロジック：P. 2-5
- 同期化レジスタおよびロジック：P. 2-5
- テストレジスタおよびロジック：P. 2-5

### 2.2.1 AMBA APB インタフェース

AMBA APB インタフェースは、ステータスレジスタおよび制御レジスタへのアクセスの読み出し / 書き込みデコードを生成します (P. 2-4 図 2-2、P. 2-4 図 2-3 参照)。

AMBA APB は、AMBA システム階層において上位帯域幅を使用する AMBA アドバンスドハイパフォーマンスバス (AHB)、あるいは AMBA アドバンスドシステムバス (ASB) の低電力拡張として機能するローカルセカンダリバスです。AMBA APB はシステムバスへの過負荷を防ぐために狭バスペリフェラルをグループ化し、プログラムされた制御下でアクセスされるメモリマップレジスタを使用したインタフェースを実現します。

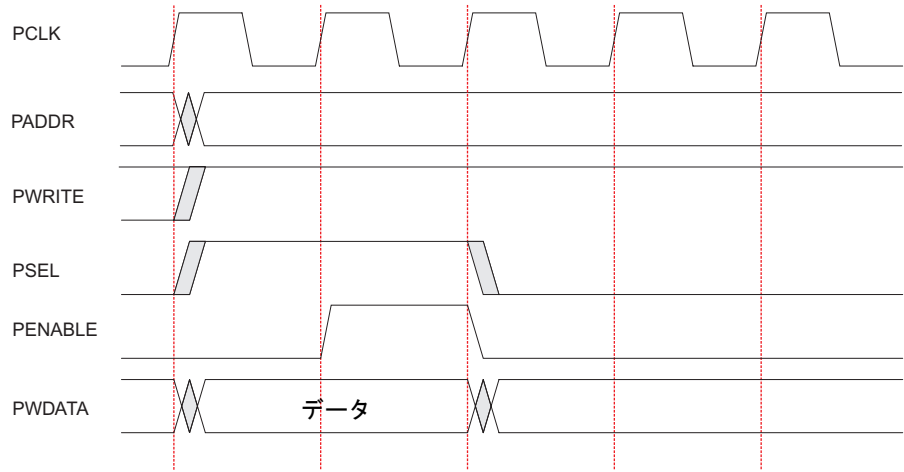


図 2-2 AMBA APB 書き込みアクセス

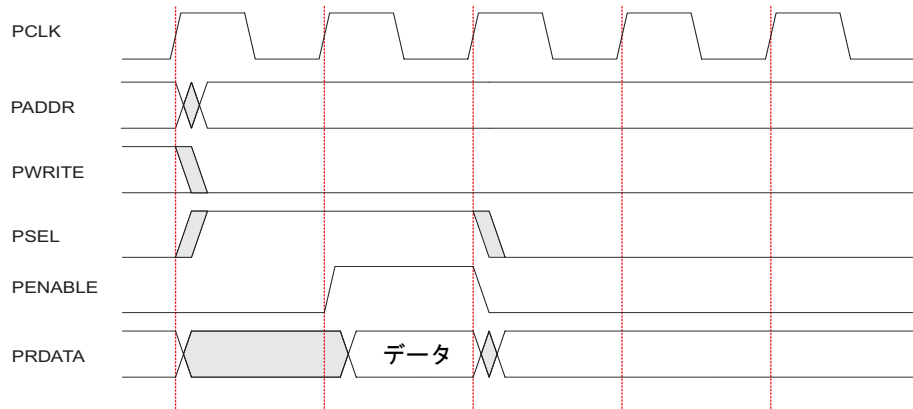


図 2-3 AMBA APB 読み出しアクセス

### 2.2.2 制御ロジック

制御ロジックブロックには、AMBA APB 経由で書き込まれるデータをストアする通常モードレジスタとテストモードレジスタが含まれています。読み出し / 書き込みレジスタを使用すると、AMBA APB でデータを読み戻すことができます。

### 2.2.3 ドライブ出力ロジック

ドライブ出力ロジックブロックは、制御ブロックによって与えられたデューティサイクルおよび周波数係数をパルス幅変調出力、**DCDCDRIVE0OUT** および **DCDCDRIVE1OUT** に変換します。この変換は以下の 2 ステージで実行されます。

- 周波数サイクルロジック
- デューティサイクルロジック

レジスタに加え、このブロックも各ドライブ出力のデューティサイクルおよび周波数選択を多重化するための制御ロジックを保持しています。

### 2.2.4 同期化レジスタおよびロジック

PrimeCell DC-DC コンバータインタフェースは、クロック **PCLK** および **DCDCCLK** の同期動作と非同期動作の両方をサポートしています。同期化レジスタとハンドシェークロジックが実装されており、常にアクティブな状態にあります。これによるパフォーマンスまたはエリアへの影響はほとんどありません。制御シグナルの同期化はデータフローの両方向、すなわち **PCLK** から **DCDCCLK** ドメインへの方向と、**DCDCCLK** から **PCLK** への方向で実行されます。

### 2.2.5 テストレジスタおよびロジック

機能ブロックの検証、ならびに TICTalk ベクタを用いた製造 / 生産テストに使用できるレジスタとロジックがあります。

通常使用時には、テストレジスタにアクセスしないで下さい。

テストロジックによって特別なテストクロックイネーブルシグナルを生成し、ブロックの入力シグナルに適用されるテストベクタを伝達したり、ブロック出力で値を捕捉することができます。

## 2.3 PrimeCell DC-DC コンバータインタフェースの動作

以下のセクションでは、PrimeCell DC-DC コンバータインタフェースの動作について説明します。

- インタフェースのリセット
- クロックシグナル
- DC-DC 外部シグナル : P. 2-6

### 2.3.1 インタフェースのリセット

PrimeCell DC-DC コンバータインタフェースは、グローバルリセットシグナル **BnRES** およびブロック固有のリセットシグナル **nDCDRST** によってリセットされます。外部リセットコントローラは **BnRES** を使用して **nDCDRST** を非同期でアサートし、それを **DCDCCLK** に同期で否定する必要があります。 **BnRES** は、オンチップシステム内で最も遅いブロックがリセットされるまでの間 **LOW** でアサートし、その後もう一度 **HIGH** でアサートする必要があります。PrimeCell DC-DC コンバータインタフェースは、最低 1 **PCLK** 周期の間 **BnRES** をアサートし、最低 1 **DCDCCLK** 周期の間 **nDCDRST** をアサートするように要求します。

リセット後のレジスタの値については、第 3 章「プログラマモデル」を参照して下さい。

### 2.3.2 クロックシグナル

PrimeCell DC-DC コンバータインタフェースには、2 つの入力シグナル、**PCLK** および **DCDCCLK** があります。

**DCDCCLK** 周波数値は、出力 **DCDCDRIVE0OUT** および **DCDCDRIVE1OUT** で要求される最大ドライブスイッチング周波数の 16 倍になるように選択する必要があります。

周波数値がこれらの出力で要求される出力スイッチング周波数に適合している場合は、**DCDCCLK** を **PCLK** シグナルでドライブすることができます。しかし、システムの他の制約条件により、別々のクロックシグナルが必要になることもよくあります。**DCDCCLK** は、**PCLK** の周波数を上回ることもあれば、下回ることもあります。

### 2.3.3 DC-DC 外部シグナル

PrimeCell DC-DC コンバータインタフェースは、外部入力および双方向入力 / 出力パッドへの以下の接続を必要とします。

- **DCDCDRIVEOE** : P. 2-7
- **DCDCDRIVE0OUT**、**DCDCDRIVE1OUT** : P. 2-7
- **DCDCDRIVE0IN**、**DCDCDRIVE1IN** : P. 2-7
- **DCDCFB0**、**DCDCFB1** : P. 2-7
- **DCDCDR0SEL**、**DCDCDR1SEL** : P. 2-7

## DCDCDRIVEOE

DCDCDRIVEOE は、双方向外部入力 / 出力パッドイネーブル (HIGH アクティブ) です。

## DCDCDRIVE0OUT、DCDCDRIVE1OUT

DCDCDRIVE0OUT、DCDCDRIVE1OUT は、双方向外部入力 / 出力パッドの出力にデータ値を送るドライブ出力です。これらのドライブ出力は、プログラムされた周波数およびデューティサイクルと、選択入力 **DCDCDR0SEL** および **DCDCDR1SEL** の状態に応じてスイッチします。ドライブ出力の極性は、リセット中の **DCDCDRIVE0IN** および **DCDCDRIVE1IN** の捕捉入力値の状態に依存します。ドライブ出力は、外部フィードバック入力 **DCDCFB0** および **DCDCFB1** が HIGH でアサートされるとイネーブルされますが、フィードバック入力 LOW のときは否定されます。

## DCDCDRIVE0IN、DCDCDRIVE1IN

DCDCDRIVE0IN、DCDCDRIVE1IN は、双方向入力 / 出力パッドから送られるドライブ入力です。リセット中のドライブ入力の状態により、ドライブ出力の極性が決定されます。表 2-1 は、発生し得る 2 つの条件を示しています。

表 2-1 ドライブ出力極性およびコンバータ電圧極性の設定

リセット中の DCDCDRIVE <sub>x</sub> IN の状態	ドライブ出力極性	コンバータ電圧極性
LOW	HIGH アクティブ	正
HIGH	LOW アクティブ	負

## DCDCFB0、DCDCFB1

DCDCFB0、DCDCFB1 は外部フィードバックドライブイネーブル入力です。ドライブ出力は、このフィードバック入力 HIGH でアサートされるとイネーブルされます。フィードバック入力 LOW の場合は、ドライブ出力は否定されます。

## DCDCDR0SEL、DCDCDR1SEL

外部ドライブコンフィギュレーション選択入力です。このコンフィギュレーション選択入力は、ドライブ出力周波数とデューティサイクルにプログラムされた 2 つのコンフィギュレーション値のうちの 1 つを選択するために使用されます。これらの入力シグナルは、供給源に基づく選択可能なコンフィギュレーションに使用することが考えられます。例えば、**DCDCDR<sub>x</sub>SEL** を HIGH でアサートすることによって電池を示し、

**DCDCDRxSEL** を LOW でアサートして商用電源を通知することも可能です。これにより、異なる使用電圧によって、交直動作に異なるデューティサイクルを使用することができます。

リセットシーケンスにおいて、適切な要求極性を捕捉すると同時に、デューティサイクルレジスタを強制的に 0 にすることにより、リセットシグナルを除去する間、あるいはその直後に DC-DC ユニットの一部を成す外部コンポーネントが余分な静的電流をドローするのを防ぐことができます。

各ドライブ出力の出力周波数を選択するには、PMRFREQ レジスタに周波数選択ビットを書き込む必要があります。

各ドライブ出力の出力周波数を選択するには、PMPFREQ レジスタに 4 つの 2 ビット値を書き込みます。この 2 ビット値は、表 2-2 が示すように周波数出力を選択します。

**表 2-2 周波数の選択**

周波数選択値 (2 ビット)	選択される周波数
00	$\text{Freq0} = f/16$
01	$\text{Freq1} = f/32$
10	$\text{Freq2} = f/128$
11	$\text{Freq3} = f/304$

f = 入力クロック **DCDCCLK** の周波数。

その後、ドライブ出力はデューティサイクル値を PMPCON0 と PMPCON1 に書き込むことによってイネーブルされます。

各ドライブ出力は、PMPCON0 または PMPCON1 の適切なコンフィギュレーションレジスタにデューティサイクル値 0 を書き込むことによって、オフにすることができます。

図 2-4 は、 $\text{freq0} (f/16)$  で  $3/16$  デューティサイクルを選択した場合の、HIGH アクティブ入力のドライブ 0 波形を示しています。

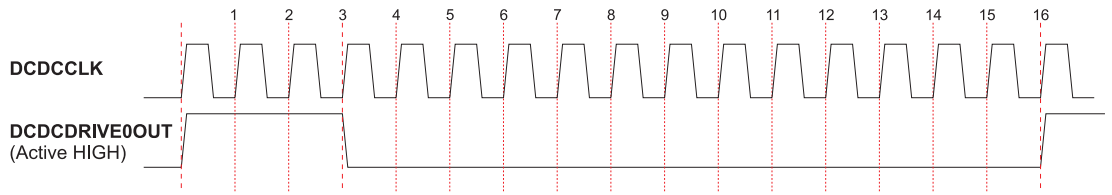


図 2-4 ドライブ 0 波形の例





## 第 3 章 プログラマモデル

本章では、ARM PrimeCell DC-DC コンバータインタフェース (PL160) のレジスタと、マイクロコントローラのプログラミングに必要な情報について説明します。本章は以下のセクションから構成されています。

- プログラマモデルについて : P. 3-2
- *PrimeCell DC-DC* コンバータインタフェースレジスタ一覧 : P. 3-3
- レジスタの説明 : P. 3-4

### 3.1 プログラマモデルについて

PrimeCell DC-DC コンバータインタフェースのベースアドレスは固定されていないため、特定のシステム実装によって異なる可能性があります。ただし、ベースアドレスからの特定のレジスタのオフセットは固定されています。

以下の位置は予約されているため、通常動作では使用しないで下さい。

- オフセット `+0x0c` ~ `+0x3c` および `0xa4` ~ `0xff` の位置は、将来の拡張に備えて予約されています。
- オフセット `0x40` ~ `0xa0` の位置は、テスト用に予約されています。

## 3.2 PrimeCell DC-DC コンバータインタフェースレジスタ一覧

表 3-1 は、PrimeCell DC-DC コンバータインタフェースレジスタの一覧を示しています。

表 3-1 PrimeCell DC-DC コンバータインタフェースレジスタ一覧

アドレス	タイプ	幅	リセット 値	名前	説明
DCDC ベース + 0x00	読み出し/ 書き込み	8	0x00	PMPCON0	ドライブ0コンフィギュ レーションレジスタ
DCDC ベース + 0x04	読み出し/ 書き込み	8	0x00	PMPCON1	ドライブ1コンフィギュ レーションレジスタ
DCDC ベース + 0x08	読み出し/ 書き込み	8	0x00	PMPFREQ	周波数コンフィギュ レーションレジスタ
DCDC ベース + 0x0c-3c	-	-	-	-	予約
DCDC ベース + 0x40-a0	-	-	-	-	予約 (テスト用)
DCDC ベース + 0xa4-ff	-	-	-	-	予約

### 3.3 レジスタの説明

このセクションでは以下のレジスタについて説明します。

- *PMPCON0* [8] (+0x00)
- *PMPCON1* [8] (+0x04) : P. 3-5
- *PMPFREQ* [8] (+0x08) : P. 3-6

各レジスタの説明において、表題には以下の形式を用いています。

レジスタ名 : [ ビット幅 ] (ベースからのオフセット)

#### 3.3.1 PMPCON0 [8] (+0x00)

PMPCON0 は、DC-DC コンバータインタフェースドライブ 0 コンフィギュレーションレジスタです。ドライブ 0 出力デューティサイクルをプログラムするには、このレジスタに 2 つの 4 ビット値を書き込みます。

- コンフィギュレーション選択入力 **DCDCDR0SEL** が HIGH のときは、上位ニブルが選択されます。
- コンフィギュレーション選択入力 **DCDCDR0SEL** が LOW のときは、下位ニブルが選択されます。

4 ビットのデューティサイクル値に 0 ~ 15 をセットすることにより、デューティサイクルを  $\frac{1}{16}$  間隔で 0 ~  $\frac{15}{16}$  にセットすることができます。表 3-2 は、PMPCON0 のビット割り当てを示しています。

表 3-2 PMPCON0 レジスタ

ビット	名前	機能
7:4	Drv0DtyHigh	ドライブ 0 出力デューティサイクル値。 <b>DCDCDR0SEL</b> 入力が高レベルのときに選択されます。値 0 ~ 15 をセットすると、 $\frac{1}{16}$ ずつインクリメントする 0 ~ $\frac{15}{16}$ のデューティサイクルを生成します。
3:0	Drv0DtyLow	ドライブ 0 出力デューティサイクル値。 <b>DCDCDR0SEL</b> 入力が高レベルのときに選択されます。値 0 ~ 15 をセットすると、 $\frac{1}{16}$ ずつインクリメントする 0 ~ $\frac{15}{16}$ のデューティサイクルを生成します。

### 3.3.2 PMPCON1 [8] (+0x04)

PMPCON1 は、PrimeCell DC-DC コンバータインタフェースドライブ 1 コンフィギュレーションレジスタです。ドライブ 1 出力デューティサイクルをプログラムするには、このレジスタに 2 つの 4 ビット値を書き込みます。

- コンフィギュレーション選択入力 **DCDCDRISEL** が HIGH のときは、上位ニブルが選択されます。
- コンフィギュレーション選択入力 **DCDCDRISEL** が LOW のときは、下位ニブルが選択されます。

4 ビットのデューティサイクル値に 0 ~ 15 をセットすることにより、デューティサイクルを  $1/16$  間隔で 0 ~  $15/16$  にセットすることができます。表 3-3 は、PMPCON1 のビット割り当てを示しています。

表 3-3 PMPCON1 レジスタ

ビット	名前	機能
7:4	Drv1DtyHigh	ドライブ 1 出力デューティサイクル値。 <b>DCDCDRISEL</b> 入力が HIGH のときに選択されます。値 0 ~ 15 をセットすると、 $1/16$ ずつインクリメントする 0 ~ $15/16$ のデューティサイクルを生成します。
3:0	Drv1DtyLow	ドライブ 1 出力デューティサイクル値。 <b>DCDCDRISEL</b> 入力が LOW のときに選択されます。値 0 ~ 15 をセットすると、 $1/16$ ずつインクリメントする 0 ~ $15/16$ のデューティサイクルを生成します。

### 3.3.3 PMPFREQ [8] (+0x08)

PMPFREQ は、DC-DC コンバータインタフェース周波数コンフィギュレーションレジスタです。書き込まれた値により、各ドライブのコンフィギュレーション選択入力ステータスに従って、各ドライブ出力の出力周波数が決定されます。表 3-4 は、出力周波数コンフィギュレーションを示しています。

表 3-4 出力周波数コンフィギュレーション

ビット	名前	タイプ	ドライブ出力	コンフィギュレーション選択入力	周波数選択
7:6	Drv1FreqHigh	読み出し / 書き込み	1	DCDCR1SEL=HIGH	
5:4	Drv1FreqLow	読み出し / 書き込み	1	DCDCR1SEL=LOW	00 = Freq0 = $f/16$ 01 = Freq1 = $f/32$
3:2	Drv0FreqHigh	読み出し / 書き込み	0	DCDCR0SEL=HIGH	02 = Freq2 = $f/128$ 03 = Freq3 = $f/304$
1:0	Drv0FreqLow	読み出し / 書き込み	0	DCDCR0SEL=LOW	

f = クロック入力 **DCDCCLK** の周波数。

## 第 4 章

# テストプログラマモデル

本章では、機能検証および生産テストに使用する付加ロジックについて説明します。本章は以下のセクションから構成されています。

- *PrimeCell DC-DC* コンバータインタフェーステストハーネスの概要 : P. 4-2
- スキャンテスト : P. 4-3
- テストレジスタ : P. 4-4

## 4.1 PrimeCell DC-DC コンバータインタフェーステストハーネスの概要

機能検証および生産テスト用の付加ロジックを使用して、以下を行うことができます。

- ブロックへの入力シグナルの刺激
- 出力シグナルの捕捉
- テストベクタを伝達するための特別なテストクロックイネーブルシグナルの生成

これらのテスト機能はテストレジスタによって制御されます。これにより、PrimeCell DC-DC コンバータインタフェースをシステムの残りの部分から切り離し、AMBA APB からの転送だけを使用してテストすることができます。

オフチップテストベクタは、32 ビットパラレル外部バスインタフェース (EBI) 経由で与えられ、内部 AMBA バス転送に変換されます。テストベクタの適用は、テストインタフェースコントローラ (TIC) AMBA バスマスタモジュールを介して制御されます。

テスト中は、テストベクタを周波数に依存させないために、**DCDCCLK** シグナルをフリーラン **PCLK** クロックでドライブする必要があります。このクロック多重化は、PrimeCell DC-DC コンバータインタフェースによって外部で実行する必要があります。図4-1は、PrimeCell DC-DCコンバータインタフェースのテストハーネスを示しています。

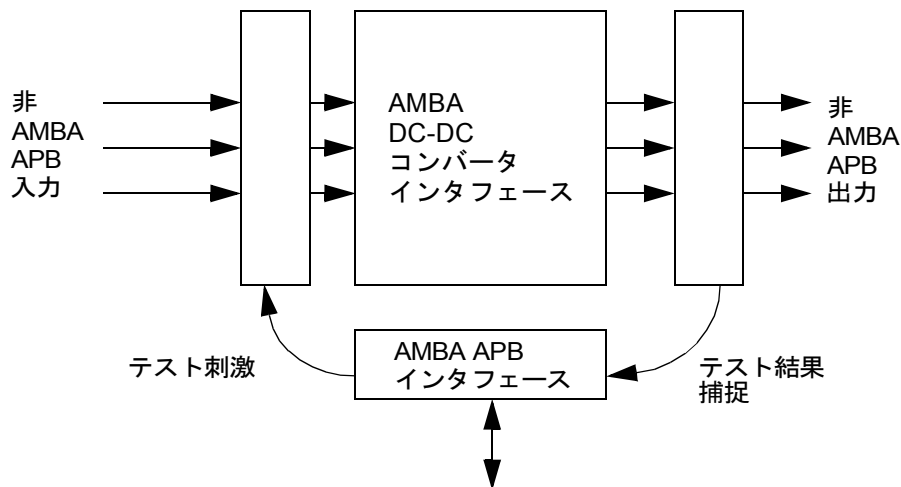


図 4-1 PrimeCell DC-DC コンバータインタフェースのテストハーネス



## 4.2 スキャンテスト

PrimeCell DC-DC コンバータインタフェースは、スキャンテストセルを挿入し易いように、また製造テストの代替方法として自動テストパターン生成 (ATPG) を使用し易いように設計されています。

スキャンテスト中、全ての内部記憶要素を非同期にリセットできるように、**SCANMODE** 入力は **HIGH** でドライブする必要があります。通常使用時、ならびに **TIC** を介した製造テストベクタの使用時には、**SCANMODE** を **LOW** で否定する必要があります。

### 4.3 テストレジスタ

PrimeCell DC-DC コンバータインタフェーステストレジスタは、表 4-1 が示すようにメモリマップされます。

表 4-1 テストレジスタのメモリマップ

アドレス	タイプ	幅	リセット値	名前	説明
DCDC ベース +0x40 -7c	読み出し / 書き込み	0	-	PMPTCER	テストクロックイネーブルレジスタ
DCDC ベース +0x80	読み出し / 書き込み	5	0x00	PMPTCR	テスト制御レジスタ
DCDC ベース +0x84	読み出し / 書き込み	2	0x0	PMPTMR	テストモードレジスタ
DCDC ベース +0x88	読み出し / 書き込み	6	0x00	PMPTISR	テスト入力刺激レジスタ
DCDC ベース +0x8c	読み出し	3	0x01	PMPTOCR	テスト出力捕捉レジスタ
DCDC ベース +0x90	読み出し	5	0x00	PMPFC0	周波数カウンタ 0 値読み出しテストレジスタ
DCDC ベース +0x94	-	-	-	-	予約
DCDC ベース +0x98	読み出し	5	0x00	PMPFC1	周波数カウンタ 1 値読み出しテストレジスタ
DCDC ベース +0x9c	-	-	-	-	予約
DCDC ベース +0xa0	読み出し	8	0x00	PMPDRVCNT	<b>DCDCDRIVE0OUT / DCDCDRIVE1OUT</b> パルス幅生成カウンタ値読み出しテストレジスタ

以下では表 4-1 の各レジスタについて説明します。

#### 4.3.1 PMPTCER [0] (+0x40-0x7c)

PMPTCER はテストクロックイネーブルレジスタです。これは 0 ビットレジスタです。表 4-2 は、PMPTCER のビット割り当てを示しています。

表 4-2 PMPTCER レジスタ

ビット	名前	説明
7:0	-	記録クロックモード (P. 4-5 「PMPTCER [5] (+0x80)」参照) にあるとき、テストクロックイネーブルは、このレジスタへのアクセス (読み出しまたは書き込み) が発生する場合にのみ生成されます。

注

テスト中は **DCDCCLK** を **PCLK** によってドライブする必要があります。PMPTCER は、多重クロックイネーブルパルスの生成に備え、レジスタアドレスマップ内に多重ワード空間を持っています。

#### 4.3.2 PMPTCR [5] (+0x80)

PMPTCR はテスト制御レジスタです。この汎用テストレジスタは、テスト条件下の PrimeCell DC-DC コンバータインタフェースの動作を制御します。表 4-3 は、PMPTCR のビット割り当てを示しています。

表 4-3 PMPTCR レジスタ

ビット	名前	説明
7:5	-	予約ビット。読み出すと予測不能な動作を招きます。書き込み時は常に 0 を書き込む必要があります。
4	テスト入力選択 (TESTINPSEL)	通常動作の場合、このビットはデフォルトで 0 にクリアされます。 このビットは、内部プライマリ入力 ( <b>DCDCFB1</b> 、 <b>DCDCFB0</b> 、 <b>DCDCDRIVE1IN</b> 、 <b>DCDCDRIVE0IN</b> 、 <b>DCDCDR1SEL</b> 、 <b>DCDCDR0SEL</b> ) のソースを選択します。 0 = パッドからの外部プライマリ入力を使用されます (通常動作)。 1 = 入出力パッドからのシグナルの代わりに、 <b>PMPTISR</b> にプログラムされている値が内部プライマリ入力用のこのレジスタで使用されます。
3	テストリセット (TESTRST)	通常動作の場合、 <b>BnRES</b> によってリセットされると、このビットはデフォルトで 0 にクリアされます。 このビットに 1 がセットされている場合、テストレジスタを除くモジュール全体にリセットがアサートされます (0 でアサートした <b>BnRES</b> によるリセットをシミュレートします)。

表 4-3 PMPTCR レジスタ (続き)

ビット	名前	説明
2	記録クロックモード (REGCLK)	<p>このビットは、内部テストクロックモードを選択します。                      0 = ストローブクロックモードが選択され、ブロックへの APB アクセス (読み出しまたは書き込み) が発生するたびにテストクロックイネーブルが生成されます。ストローブクロックモードの使用により、カウンタ等の機能をテストする際に、少ないテストベクタでテストすることができます。テストクロックイネーブルは、<b>PENABLE</b> と <b>PSEL</b> の AND によって生成されます。                      1 = 記録クロックモードが選択され、<b>PMPTCER</b> (PrimeCell DC-DC コンバータインタフェーステストクロックイネーブルレジスタ) 位置への APB アクセスが発生する場合にのみ、テストクロックイネーブルが生成されます。                      ビット 0 とビット 1 の両方が 1 にセットされていない限り、このビットの作用はありません。  <b>BnRES</b> によるリセット時、このビットはデフォルトで 0 にクリアされます。</p>
1	テストクロックイネーブル (TESTCLKEN)	<p>このビットは、テストクロックのソースを選択します。                      0 = テストクロックイネーブルを継続的に HIGH にプルすることにより、外部フリーランクロック入力 <b>DCDCCLK</b> および <b>PCLK</b> がイネーブルされ、入力クロックシグナルの各周期ごとにクロックがイネーブルされます。デフォルトではこの値がセットされ、フリーランシステムテスト (検証) の他に通常動作にも使用されます。                      1 = 内部テストクロックイネーブルが選択され、APB アクセスのたびに 1 入力クロック周期だけテストクロックがイネーブルされます。内部クロックイネーブルモードは、ビット 2 の設定に依存します。                      ビット 0 に 1 がセットされていない限り、このビットの作用はありません。  <b>BnRES</b> によるリセット時、このビットはデフォルトで 0 にクリアされます。</p>
0	テストモードイネーブル (TESTEN)	<p>0 = 通常動作モードが選択されます。                      1 = テストモードが選択されます。                      ビット 0 に 1 がセットされていない限り、ビット 1 および 2 の作用はありません。  <b>BnRES</b> によるリセット時、このビットはデフォルトで 0 にクリアされます。</p>

### 4.3.3 PMPTMR [2] (+0x84)

PMPTMR はテストモードレジスタです。このテストレジスタは、テスト条件下の PrimeCell DC-DC コンバータインタフェースの特定のテストモードを制御します。

リセット後は全てのビットが 0 で読み出されます。表 4-4 は、PMPTMR のビット割り当てを示しています。

表 4-4 PMPTMR レジスタ

ビット 名前	説明
1 周波数ディバイダ 1 テストカウント イネーブル (TESTCOUNT1)	このビットに 1 をセットすると、周波数ディバイダ 1 テストカウントイネーブルモード (ニブルモード) がイネーブルされます。テストモードでは、カウンタが 0x01 ではなく 0x11 ずつデクリメントされるため、カウンタ機能を少ないクロックサイクルで検証することができません。通常動作では、クロックサイクルがイネーブルされるごとにカウンタが 1 ずつデクリメントするように、このビットが 0 にクリアされます。
0 周波数ディバイダ 0 テストカウント イネーブル (TESTCOUNT0)	このビットに 1 をセットすると、周波数ディバイダ 0 テストカウントイネーブルモード (ニブルモード) がイネーブルされます。テストモードでは、カウンタが 0x01 ではなく 0x11 ずつデクリメントされるため、カウンタ機能を少ないクロックサイクルで検証することができません。通常動作では、クロックサイクルがイネーブルされるごとにカウンタが 1 ずつデクリメントするように、このビットが 0 にクリアされます。

### 4.3.4 PMPTISR [6] (+0x88)

PMPTISR はテスト入力刺激レジスタです。このレジスタから、PrimeCell DC-DC コンバータインタフェースの非 AMBA プライマリ入力の刺激を直接制御することができます。表 4-5 は、PMPTISR のビット割り当てを示しています。

表 4-5 PMPTISR レジスタ

ビット 名前	説明
7:6 -	予約ビット。読み出すと予測不能な動作を招きます。書き込み時は常に 0 を書き込む必要があります。
5 Rfb1	プログラム可能なプライマリ入力 DCDCFB1 へのテスト刺激ビット。
4 Rfb0	プログラム可能なプライマリ入力 DCDCFB0 へのテスト刺激ビット。
3 RDrive1In	プログラム可能なプライマリ入力 DCDCDRIVE1IN へのテスト刺激ビット。

表 4-5 PMPTISR レジスタ (続き)

ビット 名前	説明
2 RDrive0In	プログラム可能なプライマリ入力 <b>DCDCDRIVE0IN</b> へのテスト刺激ビット。
1 Rdrv1Sel	プログラム可能なプライマリ入力 <b>DCDCDR1SEL</b> へのテスト刺激ビット。
0 Rdrv0Sel	プログラム可能なプライマリ入力 <b>DCDCDR0SEL</b> へのテスト刺激ビット。

#### 4.3.5 PMPTOCR [3] (+0x8c)

PMPTOCR は、読み出し専用のテスト出力捕捉レジスタです。このレジスタを使用して、PrimeCell DC-DC コンバータインタフェースの非 AMBA プライマリ出力を観測することができます。表 4-6 は、PMPTOCR のビット割り当てを示しています。

表 4-6 PMPTOCR register

ビット 名前	説明
7:3	予約ビット。読み出すと予測不能な動作を招きます。
2 DCDCDRIVEOE	プライマリ出力 <b>DCDCDRIVEOE</b> のテスト観測ビット。
1 DCDCDRIVE1OUT	プライマリ出力 <b>DCDCDRIVE1OUT</b> のテスト観測ビット。
0 DCDCDRIVE0OUT	プライマリ出力 <b>DCDCDRIVE0OUT</b> のテスト観測ビット。

#### 4.3.6 PMPFC0 [5] (+0x90)

PMPFC0 は、読み出し専用のテスト周波数カウンタ / ディバイダ 0 レジスタです。このレジスタを使用して、カウンタの状態を効率的に監視することができます。表 4-7 は、PMPFC0 のビット割り当てを示しています。

表 4-7 PMPFC0 レジスタ

ビット 名前	説明
4:0 FRQCNT0	DCDC 周波数カウンタ 0 レジスタ。 このレジスタを読み出すと、 <b>DCDCDRIVE0OUT</b> 周波数ディバイダの現在のカウンタ値を戻します。

#### 4.3.7 PMPFC1 [5] (+0x98)

PMPFC1 は、読み出し専用のテスト周波数カウンタ / ディバイダ 1 レジスタです。このレジスタを使用して、カウンタの状態を効率的に監視することができます。表 4-8 は、PMPFC1 のビット割り当てを示しています。

表 4-8 PMPFC0 レジスタ

ビット	名前	説明
4:0	FRQCNT1	DCDC 周波数カウンタ 1 レジスタ。 このレジスタを読み出すと、 <b>DCDCDRIVE1OUT</b> 周波数ディバイダの現在のカウンタ値を戻します。

#### 4.3.8 PMPDRVCNT [8] (+0xa0)

PMPDRVCNT は、**DCDCDRIVE0OUT** および **DCDCDRIVE1OUT** のパルス幅の生成に使用されるカウンタ値を戻すテストカウンタレジスタです (読み出し専用)。表 4-9 は、PMPTOCR のビット割り当てを示しています。

表 4-9 PMPTOCR レジスタ

ビット	名前	説明
7:4	DRV1CNT	<b>DCDCDRIVE1OUT</b> パルス幅カウンタ値。 この値を読み出すと、 <b>DCDCDRIVE1OUT</b> パルス幅ジェネレータ値の現在の値を戻します。
3:0	DRV0CNT	<b>DCDCDRIVE0OUT</b> パルス幅カウンタ値。 この値を読み出すと、 <b>DCDCDRIVE0OUT</b> パルス幅ジェネレータ値の現在の値を戻します。





## 付録 A

# ARM PrimeCell DC-DC コンバータインタフェース (PL160) シグナルの説明

本付録では、ARM PrimeCell DC-DC コンバータインタフェース (PL160) とインタフェースするシグナルについて説明します。本付録は以下のセクションから構成されています。

- *AMBA APB* シグナル : P. A-2
- オンチップシグナル : P. A-3
- パッドへのシグナル : P. A-4

## A.1 AMBA APB シグナル

PrimeCell DC-DC コンバータインタフェースブロックはバススレーブとして AMBA APB に接続します。**BnRES** シグナルを除き、AMBA APB シグナルは接頭辞 **P** が付く HIGH アクティブシグナルです。LOW アクティブシグナルには小文字の **n** が付いています。表 A-1 は、AMBA APB シグナルを示しています。

表 A-1 AMBA APB シグナルの説明

名前	タイプ	ソース/デスクレネーション	説明
<b>BnRES</b>	入力	リセット コントローラ	バスリセットシグナルです (LOW アクティブ)。
<b>PADDR [7:2]</b>	入力	APB ブリッジ	AMBA APB アドレスバスのサブセットです。
<b>PCLK</b>	入力	クロック ジェネレータ	全てのバス転送の計時に使用される AMBA APB クロックです。
<b>PENABLE</b>	入力	APB ブリッジ	AMBA APB イネーブルシグナルです。 <b>PENABLE</b> は、バス転送サイクルをイネーブルするために 1 <b>PCLK</b> サイクルの間 HIGH でアサートされます。
<b>PRDATA [7:0]</b>	出力	APB ブリッジ	単方向 AMBA APB 読み出しデータバスのサブセットです。
<b>PSEL</b>	入力	APB ブリッジ	デコーダからの PrimeCell DC-DC コンバータインタフェース選択シグナルです。1 がセットされているとき、このシグナルはスレーブデバイスが選択され、データ転送が要求されていることを通知します。
<b>PWDATA [7:0]</b>	入力	APB ブリッジ	単方向 AMBA APB 書き込みデータバスのサブセットです。
<b>PWRITE</b>	入力	APB ブリッジ	AMBA APB 転送方向シグナルです。HIGH のときは書き込みアクセスを、LOW のときは読み出しアクセスを示します。

## A.2 オンチップシグナル

フリーランリファレンスクロック **DCDCCLK** を使用する必要があります。デフォルトで、このクロックは **PCLK** に非同期とみなされます。

入力シグナル **BnRES** および **nDCDCRST** は、それぞれ **PCLK** と **DCDCCLK** に対して非同期でアサートし、同期で否定する必要があります。

表 A-2 は、AMBA APB シグナルの他に必要となるオンチップシグナルを示しています。

表 A-2 オンチップシグナルの説明

名前	タイプ	ソース / デスティネーション	説明
<b>DCDCCLK</b>	入力	クロック ジェネレータ	PrimeCell DC-DC コンバータインタフェースリファレンスクロックです。
<b>nDCDCRST</b>	入力	リセット コントローラ	<b>DCDCCLK</b> クロックドメインへの PrimeCell DC-DC コンバータインタフェースリセットシグナルです (LOW アクティブ)。リセットコントローラは <b>BnRES</b> を使用して <b>nDCDCRST</b> を非同期にアサートし、それを <b>DCDCCLK</b> と同期で否定する必要があります。
<b>SCANMODE</b>	入力	テストコントローラ	PrimeCell DC-DC コンバータインタフェーススキャンテストホールド入力です。スキャンテスト中、内部データ記憶要素を非同期でアサートするためには、このシグナルを <b>HIGH</b> でアサートする必要があります。通常使用時あるいは TIC を介した製造テストベクタの使用時には、 <b>SCANMODE</b> を <b>LOW</b> で否定する必要があります。

### A.3 パッドへのシグナル

表 A-3 は、PrimeCell DC-DC コンバータインタフェースブロックからチップの入力/出力パッドへのシグナルを示しています。厳密なインタフェース要件を満たすために、ユーザはペリフェラルピンを正しく使用する必要があります。

表 A-3 パッドシグナルの説明

名前	タイプ	ソース/ destinations	説明
DCDCDRIVE0IN	入力	パッド	リセット中にこの入力が入力がサンプリングされることにより、 <b>DCDCDRIVE0OUT</b> のドライブ 0 出力極性が決定されます。リセット中のこの入力が高の場合、出力は HIGH アクティブになります。リセット中のこの入力が高の場合、出力は LOW アクティブになります。
DCDCDRIVE1IN	入力	パッド	リセット中にこの入力が入力がサンプリングされることにより、 <b>DCDCDRIVE1OUT</b> のドライブ 1 出力極性が決定されます。リセット中のこの入力が高の場合、出力は HIGH アクティブになります。リセット中のこの入力が高の場合、出力は LOW アクティブになります。
DCDCFB0	入力	パッド	アナログ回路からの外部フィードバック入力です。このビットが高の場合は、ドライブ 0 出力 <b>DCDCDRIVE0OUT</b> がイネーブルされます。それ以外の場合には、この出力が否定されます。
DCDCFB1	入力	パッド	アナログ回路からの外部フィードバック入力です。このビットが高の場合は、ドライブ 1 出力 <b>DCDCDRIVE1OUT</b> がイネーブルされます。それ以外の場合には、この出力が否定されます。
DCDCDR0SEL	入力	パッド	外部コンフィギュレーション選択入力シグナルです。この入力は、2つの周波数/デューティコンフィギュレーションのどちらかを、ドライブ 0 出力 <b>DCDCDRIVE0OUT</b> に選択します。
DCDCDR1SEL	入力	パッド	外部コンフィギュレーション選択入力シグナルです。この入力は、2つの周波数/デューティコンフィギュレーションのどちらかを、ドライブ 1 出力 <b>DCDCDRIVE1OUT</b> に選択します。
DCDCDRIVE0OUT	出力	パッド	ソフトウェアプログラム可能な周波数およびデューティサイクルを使用して、DC-DC コンバータ回路内の外部パワートランジスタを制御するドライブ 0 PWM 出力シグナルです。
DCDCDRIVE1OUT	出力	パッド	ソフトウェアプログラム可能な周波数およびデューティサイクルを使用して、DC-DC コンバータ回路内の外部パワートランジスタを制御するドライブ 1 PWM 出力シグナルです。
DCDCDRIVEOE	出力	パッド	ドライブ 0 出力およびドライブ 1 出力、 <b>DCDCDRIVE0OUT</b> および <b>DCDCDRIVE1OUT</b> によって送られた双方向入力/出力パッドを制御する、HIGH アクティブの汎用出力イネーブルシグナルです。

# Index

The items in this index are listed in alphabetic order. The references given are to page numbers.

## A

Address bus 1-4  
AMBA  
    AHB 2-3  
    APB 2-3  
    APB signals A-2  
    ASB 2-3  
    compatibility 1-4  
ATPG 4-3  
Automatic test pattern generation 4-3

## B

Base address 3-2  
Big-endian 1-4  
Block diagram 2-3

## C

Compatibility, AMBA 1-4

Control logic 2-4

## D

Drive 0 configuration register 3-4  
Drive 1 configuration register 3-5  
Drive output logic 2-5  
Duty cycle 2-2

## E

EBI 4-2  
Enable signal 1-4  
External Bus Interface 4-2

## L

Little-endian 1-4  
Logic, test 2-5

## O

On-chip signals A-3

## P

PADDR 1-4  
PCLK 4-5  
PENABLE 1-4  
PMPCON0 3-4  
PMPCON1 3-5  
PMPDRVCNT 4-9  
PMPTCER 4-5  
PMPTCR 4-5  
PMPTFC0 4-8  
PMPTFC1 4-9  
PMPTISR 4-7  
PMPTMR 4-7  
PMPTOCR 4-8

## Index

PRDATA 1-4  
PrimeCell DC-DC converter interface  
    block diagram 2-3  
    features 1-3  
    register descriptions 3-4  
    register summary 3-3  
    signal descriptions A-1  
Programmer's model 3-2  
    for test 4-1  
PSTB 1-4  
PWDATA 1-4

## R

Read data bus 1-4  
Register  
    descriptions 3-4  
    drive 0 configuration 3-4  
    drive 1 configuration 3-5  
    summary 3-3  
    synchronizing 2-5  
    test 2-5, 4-2  
Reserved locations 3-2

## S

Scan testing 4-3  
SCANMODE 4-3  
Signal  
    APB A-2  
    on-chip A-3  
    strobe 1-4  
    to pad A-4  
Signal descriptions A-1  
Strobe signal 1-4  
Synchronizing registers 2-5

## T

Test harness 4-2  
Test interface controller 4-2  
Test logic 2-5  
Test registers 2-5, 4-2  
    PMPDRVCNT 4-9  
    PMPFC0 4-8  
    PMPFC1 4-9  
    PMPTCER 4-5  
    PMPTCR 4-5  
    PMPTISR 4-7  
    PMPTMR 4-7  
    PMPTOCR 4-8  
Test vectors 4-2, 4-3  
Testing 4-3  
TIC 4-2  
TICTalk vectors 2-5

## W

Write data bus 1-4